

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-125097
 (43)Date of publication of application : 15.05.1998

(51)Int.CI. G11C 29/00
 G11C 11/401
 H01L 27/04
 H01L 21/822

(21)Application number : 09-187004 (71)Applicant : SAMSUNG ELECTRON CO LTD
 (22)Date of filing : 11.07.1997 (72)Inventor : RI KEISAN
 RI CHUWA
 YUU SONMON

(30)Priority

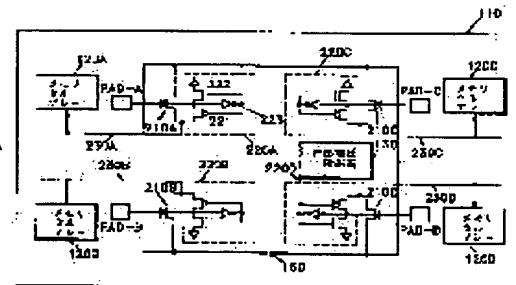
Priority number : 96 9644124 Priority date : 05.10.1996 Priority country : KR

(54) INTERNAL POWER SUPPLY CONTROL CIRCUIT OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate analysis for defective phenomenon of power bridge and current by utilizing an internal power supply control circuit of the predetermined semiconductor device including an internal voltage generator, a block power supply line, an internal power supply line, a control pad and an internal power supply switching element, etc.

SOLUTION: In a semiconductor device 110 including many memory cell arrays, many memory cell arrays 120A to 120D are connected to array power supply lines 230A to 230D and the internal power supply switching elements 210A to 210D and power supply switching sections 220A to 220D are formed corresponding to the memory cell array. An internal voltage generator 130 is converts the external power supply to be applied from outside to the voltage level suitable for memory cell array drive and outputs the internal power supply voltage during the normal operation mode and disables an output in the testing mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl.⁶
 G 1 1 C 29/00 6 7 1
 11/401
 H 0 1 L 27/04 21/822

F I
 G 1 1 C 29/00 6 7 1 K
 11/34 3 7 1 A
 H 0 1 L 27/04 B

審査請求 未請求 請求項の数13 O.L (全 7 頁)

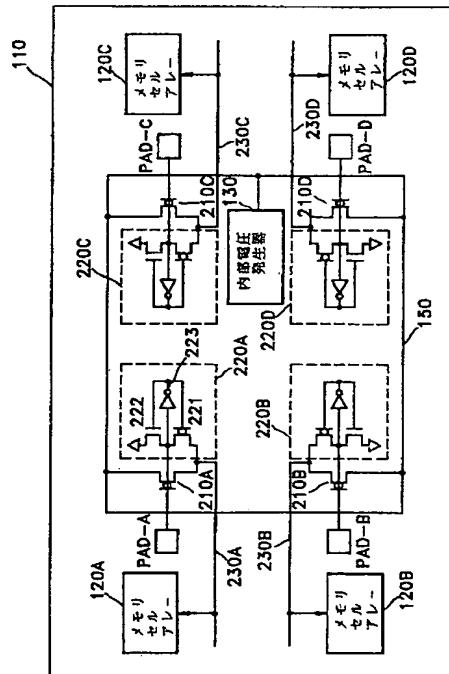
(21)出願番号 特願平9-187004
 (22)出願日 平成9年(1997)7月11日
 (31)優先権主張番号 1996-P-044124
 (32)優先日 1996年10月5日
 (33)優先権主張国 韓国 (KR)

(71)出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市八達区梅灘洞416
 (72)発明者 李圭燦
 大韓民国ソウル特別市江東區明逸洞15番地
 サミクグリーンアパート501棟705號
 (72)発明者 李中和
 大韓民国京畿道水原市八達區梅灘4洞810
 -3番地 三星1次アパート2棟1409號
 (72)発明者 ユー・ソンモン
 大韓民国京畿道水原市八達區梅灘4洞810
 -3番地 三星1次アパート2棟1310號
 (74)代理人 弁理士 小堀益

(54)【発明の名称】 半導体装置の内部電源制御回路

(57)【要約】

【課題】 漏れ電流の不良に対する分析能力を向上させる半導体装置の内部電源制御回路を提供する。
 【解決手段】 多数のメモリセルアレーを含む半導体装置100において、半導体装置100の外部から印加される電源電圧を前記メモリセルアレー120A～120Dの駆動に好適な電圧に変換する内部電圧発生器130と、それぞれ前記メモリセルアレーに連結されている多数のアレー電源供給ライン230A～230Dと、内部電圧発生器130に連結されている内部電源供給ライン150と、それぞれ前記メモリセルアレーに対応して形成されている多数の制御用のパッドPAD-A～PAD-Dと、それぞれ前記アレー電源供給ラインと前記内部電源供給ラインとの間に連結されており、対応する制御用のパッドに印加される信号に応じてオン／オフ動作を行う多数の内部電源スイッチング素子210A～21Dとを備えた半導体装置の内部電源制御回路。



【特許請求の範囲】

【請求項1】 多数のメモリセルアレーを含む半導体装置において、前記半導体装置の外部から印加される電源電圧を前記メモリセルアレーの駆動に好適な電圧に変換する内部電圧発生器と、それぞれ前記メモリセルアレーに連結されている多数のアレー電源供給ラインと、前記内部電圧発生器に連結されている内部電源供給ラインと、それぞれ前記メモリセルアレーに対応して形成されている多数の制御用のパッドと、それぞれ前記アレー電源供給ラインと前記内部電源供給ラインとの間に連結されており、対応する制御用のパッドに印加される信号に応じてオン／オフ動作を行う多数の内部電源スイッチング素子とを備えたことを特徴とする半導体装置の内部電源制御回路。

【請求項2】 前記内部電源スイッチング素子は、それぞれ前記内部電源供給ラインにそのソースが連結され、そのドレインが対応する前記アレー電源供給ラインに連結され、そのゲートが対応する前記制御用のパッドに連結されているPMOSトランジスタから構成されたことを特徴とする請求項1に記載の半導体装置の内部電源制御回路。

【請求項3】 多数のメモリセルアレーを含む半導体装置において、前記半導体装置の外部から印加される電源電圧を前記メモリセルアレーの駆動に好適な電圧に変換する内部電圧発生器と、それぞれ前記メモリセルアレーに連結されている多数のアレー電源供給ラインと、前記内部電圧発生器に連結されている内部電源供給ラインと、それぞれ前記メモリセルアレーに対応して形成されている多数の制御用のパッドと、それぞれ前記アレー電源供給ラインと前記内部電源供給ラインとの間に連結されており、対応する制御用のパッドに印加される信号に応じてオン／オフ動作を行う多数の内部電源スイッチング素子と、それぞれ前記アレー電源供給ラインと前記制御用のパッドとの間に連結されており、前記制御用のパッドに印加される信号に応じて、これを前記アレー電源供給ラインを通して供給する多数の電源供給スイッチング部とを備え、正常動作では、前記内部電源スイッチング素子が“オン”となり、前記内部電圧発生器から発生された電源電圧が前記アレー電源供給ラインを通して前記メモリセルアレーに印加され、テスト動作では、前記内部電源スイッチング素子が“オフ”となり、対応する前記制御用のパッドから印加される電源電圧が前記アレー電源供給ラ

インを通して前記対応するメモリセルアレーに印加されることを特徴とする半導体装置の内部電源制御回路。

【請求項4】 前記内部電源スイッチング素子は、それぞれ前記内部電源供給ラインにそのソースが連結され、そのドレインが対応する前記アレー電源供給ラインに連結され、そのゲートが対応する前記制御用のパッドに連結されているNMOSトランジスタから構成されたことを特徴とする請求項3に記載の半導体装置の内部電源制御回路。

【請求項5】 前記電源供給スイッチング部は、それぞれ対応する前記制御用のパッドの信号を反転するインバータと、そのソースが前記制御用のパッドに連結され、そのドレインが対応する前記アレー電源供給ラインに連結され、そのゲートに前記インバータの出力が印加されるPMOSトランジスタと、そのドレインが前記制御用のパッドに連結され、そのソースが接地され、そのゲートに前記インバータの出力が印加されるNMOSトランジスタとを備えたことを特徴とする請求項3に記載の半導体装置の内部電源制御回路。

【請求項6】 多数のメモリセルアレーを含む半導体装置において、前記半導体装置の外部から印加される電源電圧を前記メモリセルアレーの駆動に好適な電圧に変換する内部電圧発生器と、それぞれ前記メモリセルアレーに連結されている多数のアレー電源供給ラインと、前記内部電圧発生器に連結されている内部電源供給ラインと、それぞれ前記メモリセルアレーに対応して形成されている多数の制御用のパッドと、それぞれ前記アレー電源供給ラインと前記内部電源供給ラインとの間に連結されており、対応する制御用のパッドに印加される信号に応じてオン／オフ動作を行う多数の内部電源スイッチング素子と、それぞれ前記アレー電源供給ラインと前記制御用のパッドとの間に連結されており、前記制御用のパッドに印加される信号に応じて、これを前記アレー電源供給ラインを通して供給する多数の電源供給スイッチング部と、それぞれ前記制御用のパッドのうち、いずれか二つの信号を入力してアレー電源供給ライン連結信号を発生する多数の論理ゲートと、それぞれ対応する前記アレー電源供給ラインの間に連結されており、対応する前記論理ゲートの出力に応じてオン／オフ動作を行う多数のアレー電源供給ライン連結素子とを備え、正常動作では、前記内部電源スイッチング素子が“オン”となり、前記内部電圧発生器から発生された電源電圧が前記アレー電源供給ラインを通して前記メモリセル

アレーに印加され、テスト動作では、前記内部電源スイッチング素子が“オフ”となり、対応する前記制御用のパッドから印加される電源電圧が前記アレー電源供給ラインを通して前記対応するメモリセルアレーに印加されることを特徴とする半導体装置の内部電源制御回路。

【請求項7】 前記内部電源スイッチング素子は、それぞれ前記内部電源供給ラインにそのソースが連結され、そのドレインが対応する前記アレー電源供給ラインに連結され、そのゲートが対応する前記制御用のパッドに連結されているPMOSトランジスタから構成されたことを特徴とする請求項6に記載の半導体装置の内部電源制御回路。

【請求項8】 前記電源供給スイッチング部は、それぞれ対応する前記制御用のパッドの信号を反転するインバータと、そのソースが前記制御用のパッドに連結され、そのドレインが対応する前記アレー電源供給ラインに連結され、そのゲートに前記インバータの出力が印加されるPMOSトランジスタと、そのドレインが前記制御用のパッドに連結され、そのソースが接地され、そのゲートに前記インバータの出力が印加されるNMOSトランジスタとを備えたことを特徴とする請求項6に記載の半導体装置の内部電源制御回路。

【請求項9】 前記論理ゲートはそれぞれ対応する前記制御用のパッドの信号を反転入力するNANDゲートから構成されたことを特徴とする請求項6に記載の半導体装置の内部電源制御回路。

【請求項10】 前記アレー電源供給ライン連結素子は、それぞれ対応するアレー電源供給ラインにそのドレイン及びソースが連結されており、そのゲートに対応するNANDゲートの出力が印加されるPMOSトランジスタから構成されたことを特徴とする請求項9に記載の半導体装置の内部電源制御回路。

【請求項11】 多数の内部回路ブロックを含む半導体装置において、前記半導体装置の外部から印加される電源電圧を前記内部回路ブロックの駆動に好適な電圧に変換する内部電圧発生器と、それぞれ前記内部回路ブロックに連結されている多数のブロック電源供給ラインと、前記内部電圧発生器に連結されている内部電源供給ラインと、それぞれ前記内部回路ブロックに対応して形成されている多数の制御用のパッドと、それぞれ前記ブロック電源供給ラインと前記内部電源供給ラインとの間に連結されており、対応する制御用のパッドに印加される信号に応じてオン／オフ動作を行う多数の内部電源スイッチング素子とを含むことを特徴とする半導体装置の内部電源制御回路。

【請求項12】 それぞれ前記ブロック電源供給ラインと前記制御用のパッドとの間に連結されており、前記制御用のパッドに印加される信号に応じて、これを前記ブロック電源供給ラインを通して供給する多数の電源供給スイッチング部をさらに備え、

正常動作では、前記内部電源スイッチング素子が“オン”となり、前記内部電圧発生器から発生された電源電圧が前記ブロック電源供給ラインを通して前記内部回路ブロックに印加され、テスト動作では、前記内部電源スイッチング素子が“オフ”となり、対応する前記制御用のパッドから印加される電源電圧が前記対応するブロック電源供給ラインを通して前記対応する内部回路ブロックに印加されることを特徴とする請求項11に記載の半導体装置の内部電源制御回路。

【請求項13】 それぞれ前記ブロック電源供給ラインと前記制御用のパッドとの間に連結されており、前記制御用のパッドに印加される信号に応じて、これを前記ブロック電源供給ラインを通して供給する多数の電源供給スイッチング部と、

それぞれ前記制御用のパッドのうち、いずれか二つの信号を入力してアレー電源供給ライン連結信号を発生する多数の論理ゲートと、

それぞれ対応する前記ブロック電源供給ラインの間に連結されており、対応する前記論理ゲートの出力に応じてオン／オフ動作を行う多数のブロック電源供給ライン連結素子とをさらに備え、

正常動作では、前記内部電源スイッチング素子が“オン”となり、前記内部電圧発生器から発生された電源電圧が前記ブロック電源供給ラインを通して前記内部回路ブロックに印加され、テスト動作では、前記内部電源スイッチング素子が“オフ”となり、対応する前記制御用のパッドから印加される電源電圧が前記対応するブロック電源供給ラインを通して前記対応する内部回路ブロックに印加されることを特徴とする請求項11に記載の半導体装置の内部電源制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の内部電源制御回路及びその方法に係り、特に半導体メモリ装置の漏れ電流の不良に対する分析能力を向上させ得る内部電源制御回路及びその方法に関する。

【0002】

【従来の技術】DRAM (Dynamic Random Access Memory) のような半導体装置は高容量化及び高集積化に伴い、製造工程後の正常的な動作遂行の可否と誤動作の原因を分析することが重要である。特に、半導体装置を開発する初期には、試製品に対してこのような分析を様々に施して完全に正常に動作できる製品を開発すべきである。その分析に長い時間がかかる。その分析過程には、半導体装置の内部に供給される電源電圧のレベル

を変更しながら、各回路の動作の特性及び誤動作の可否をテストすることが含まれる。

【0003】図1は従来の半導体装置の内部電源制御回路及びその関連部分を示す。同図を参照すれば、正常動作時では、半導体装置110の内部に含まれた内部電圧発生器130から発生された内部電源電圧は内部電源供給ライン150を通して各メモリセルアレー120A, 120B, 120C, 120Dに供給される。一方、半導体装置の動作特性に対する分析段階では、内部電圧発生器130から発生された電源を供給しながら、各メモリセルアレー120A, 120B, 120C, 120Dをテストするのみならず、内部電圧発生器130をディスエーブルさせるか、或いは、アイソレーションさせた状態で、パッド140を通して外部電源電圧を印加しながら、半導体装置をテストする。

【0004】しかしながら、図1に示したように、内部電源供給ライン150は各メモリセルアレー120A, 120B, 120C, 120Dに共通に連結されている。したがって、任意の電源電圧のレベルが非正常であるか、或いは、半導体装置の電流値が非正常的の場合、即ち、テスト段階で不良が発生するとき、不良を引き起こす原因を決めることが容易でないという短所がある。特に、半導体装置の開発初期に度々発生する不良である電源ブリッジ及び電流の漏れなどがあるとき、漏れ電流の正確なソースを探しにくいという問題がある。これにより、開発段階に長い時間がかかる。

【0005】

【発明が解決しようとする課題】したがって、本発明の目的は、容易にパワーブリッジ及び電流の不良現象に対する分析が行える半導体装置の内部電源制御回路を提供することにある。

【0006】本発明の他の目的は、半導体装置の開発期間を短縮させうる半導体装置の内部電源制御回路を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成するためには本発明による半導体装置の内部電源制御回路は、多数のメモリセルアレーを含む半導体装置において、外部から印加される電源電圧を前記内部回路ブロックの駆動に好適な電圧に変更する内部電圧発生器と、それぞれ内部回路ブロックに連結されている多数のブロック電源供給ラインと、内部電圧発生器に連結されている内部電源供給ラインと、それぞれ前記内部回路ブロックに対応して形成されている多数の制御用のパッドと、それぞれブロック電源供給ラインと内部電源供給ラインとの間に連結されており、対応する制御用のパッドに印加される信号に応じてオン／オフ動作を行う多数の内部電源スイッチング素子と、それぞれブロック電源供給ラインと制御用のパッドとの間に連結されており、制御用のパッドに印加される信号に応じて、これをブロック電源供給ライン

を通して供給する多数の電源供給スイッチング部と、それぞれ制御用のパッドのうち、二つの信号を入力してアレー電源供給ライン連結信号を発生する多数の論理ゲートと、それぞれ対応するブロック電源供給ラインの間に連結されており、対応する論理ゲートの出力に応じてオン／オフ動作を行う多数のブロック電源供給ライン連結素子とを備え、正常動作では、内部電源スイッチング素子が“オン”となり、内部電圧発生器から発生された電源電圧が前記ブロック電源供給ラインを通して前記内部回路ブロックに印加され、テスト動作では、内部電源スイッチング素子が“オフ”となり、対応する前記制御用のパッドから印加される電源電圧が前記対応するブロック電源供給ラインを通して前記対応する内部メモリブロックに印加されることを特徴とする。

【0008】半導体装置が半導体メモリ装置の場合、前記内部回路ブロックはメモリセルアレーに相応するが、ブロック電源供給ラインはアレー電源供給ラインとなる。

【0009】内部電源スイッチング素子は、それぞれ内部電源供給ラインにそのソースが連結され、そのドレインが対応する前記アレー電源供給ラインに連結され、そのゲートが対応する制御用のパッドに連結されているPMOSトランジスタから構成される。電源供給スイッチング部は、制御用のパッドの信号を反転するインバータと、そのソースが制御用のパッドに連結され、そのドレインが対応するアレー電源供給ラインに連結され、そのゲートにインバータの出力が印加されるPMOSトランジスタと、そのドレインが制御用のパッドに連結され、そのソースが接地され、そのゲートにインバータの出力が印加されるNMOSトランジスタとから構成される。論理ゲートは、それぞれ対応する制御用のパッドの信号を反転入力するNANDゲートから構成され、アレー電源供給ライン連結素子は、それぞれ対応するアレー電源供給ラインにそのドレイン及びソースが連結されており、そのゲートに対応するNANDゲートの出力が印加されるPMOSトランジスタから構成される。

【0010】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態を詳しく説明する。

【0011】図2は本発明の一実施例による半導体装置の内部電源制御回路及びその関連部分を示す。同図を参照すれば、多数のメモリセルアレー120A, 120B, 120C, 120Dには、それぞれアレー電源供給ライン230A, 230B, 230C, 230Dが連結されている。かつ、メモリセルアレーに対応して内部電源スイッチング素子210A, 210B, 210C, 210D及び電源供給スイッチング部220A, 220B, 220C, 220Dが形成されている。内部電源スイッチング素子210A, 210B, 210C, 210DはそれぞれPMOSトランジスタから構成される。内

部電源スイッチング素子を構成するPMOSトランジスタのソースは内部電源供給ライン150に連結されており、そのドレインは対応するアレー電源供給ラインに連結され、ゲートは対応する制御用のパッドに連結される。制御用のパッドPAD-A, PAD-B, PAD-C, PAD-Dは、テストを行うとき、外部電源が直接に供給される端子である。電源供給スイッチング部220A, 220B, 220C, 220Dは、それぞれPMOSトランジスタ221、NMOSトランジスタ222及びインバータ223から構成されている。

【0012】電源供給スイッチング部220Aにおいては、インバータ223に対応する制御用のパッドPAD-Aに印加される信号を反転する。PMOSトランジスタ221においては、そのソースが対応する制御用のパッドPAD-Aに連結されており、そのドレインが対応するアレー電源ライン230Aに連結されており、そのゲートにはインバータ223の出力が印加される。これにより、制御用のパッドPAD-Aに“ハイ”レベルの信号が印加されると、インバータ223の出力は“ロー”レベルとなる。インバータ223の出力が“ロー”レベルであれば、PMOSトランジスタ221が“オン”となり、アレー電源供給ライン230Aは制御用のパッドPAD-Aに連結されることにより、制御用のパッドPAD-Aに印加される信号が電源としてメモリセルアレー120Aに供給される。電源供給スイッチング部220AのNMOSトランジスタ222においては、そのドレインが制御用のパッドPAD-Aに連結され、そのソースが接地され、ゲートにインバータ223の出力が印加される。したがって、制御用のパッドPAD-Aに印加される信号が“ロー”レベルのとき、インバータ223の出力は“ハイ”レベルとなる。これにより、NMOSトランジスタ222が“オン”となり、制御用のパッドPAD-Aは“ロー”レベルを保持する。内部電圧発生器130は、半導体チップの外部から印加される外部電源をメモリセルアレー120A, 120B, 120C, 120Dの駆動に好適な電圧のレベルに変換する。内部電圧発生器130は、正常動作時では内部電源電圧を出力し、テスト段階では選択的にディスエーブルすることが可能である。

【0013】図3は本発明の他の実施例による半導体装置の内部電源制御回路及びその関連部分を示す。同図を参照すれば、半導体装置の内部電源制御回路は、制御用のパッドPAD-A, PAD-B, PAD-C, PAD-Dと、内部電源スイッチング素子210A, 210B, 210C, 210Dと、電源供給スイッチング部220A, 220B, 220C, 220Dと、アレー電源供給ライン230A, 230B, 230C, 230Dと、内部電圧発生器130と、内部電源供給ライン150と、論理ゲート241, 242, 243, 244と、アレー電源供給ライン連結素子251, 252, 25

3, 254とを含む。論理ゲート241, 242, 243, 244はそれぞれNANDゲートから構成され、各NANDゲートの入力には、制御用のパッドPAD-A, PAD-B, PAD-C, PAD-Dのうち、いずれか二つの信号が反転して印加される。各NANDゲートは、制御用のパッドPAD-A, PAD-B, PAD-C, PAD-Dのうち、二つから入力された信号に基づいてアレー電源供給ライン連結信号を発生する。NANDゲートの出力アレー電源供給ライン連結信号は、対応する制御用のパッドに印加される信号のいずれも“ロー”レベルの場合、“ロー”レベルとなる。各NANDゲートの出力は、対応するアレー電源供給ライン連結素子251, 252, 253, 254のゲートに印加される。アレー電源供給ライン連結素子251, 252, 253, 254は、それぞれのソース及びドレインが対応するアレー電源供給ライン230A, 230B, 230C, 230Dに連結されている。これにより、対応する制御用のパッドに印加される信号のいずれも“ロー”レベルのとき、アレー電源供給ライン連結素子が“オン”となり、対応するアレー電源供給ラインが互いに連結される。

【0014】図2及び図3においては、半導体メモリ装置に関連する半導体装置の内部電源制御回路を説明した。しかしながら、半導体メモリ装置のみならず、多数の内部回路ブロックを含む半導体装置にも、図2及び図3に示した内部電源制御回路が適用されることができる。ここで、内部電源制御回路が多数の内部回路ブロックを含む半導体装置に適用されるとき、図2又は図3に示した装置において、多数のメモリセルアレーは多数の内部回路ブロックにより取り替えられ、アレー電源供給ラインは各回路ブロックに内部電源を供給するためのブロック電源供給ラインにより取り替えられる。

【0015】本発明は上述した実施例に限るものではなく、多くの変形が本発明の思想内で当分野の通常の知識を持つ者により可能なのは明らかである。

【0016】

【発明の効果】本発明による半導体装置の内部電源制御回路は、製品開発の初期段階で誤動作の可否及び動作特性の分析時の所要時間を短縮させうる。かつ、半導体メモリ装置などのように高集積化製品に対する特性を分析するとき、メモリセルアレーの単位で特性分析が可能であるため、分析の正確性を高める。

【図面の簡単な説明】

【図1】 従来の技術による半導体装置の内部電源回路を示す。

【図2】 本発明の一実施例による半導体装置の内部電源制御回路及びその関連部分を示す。

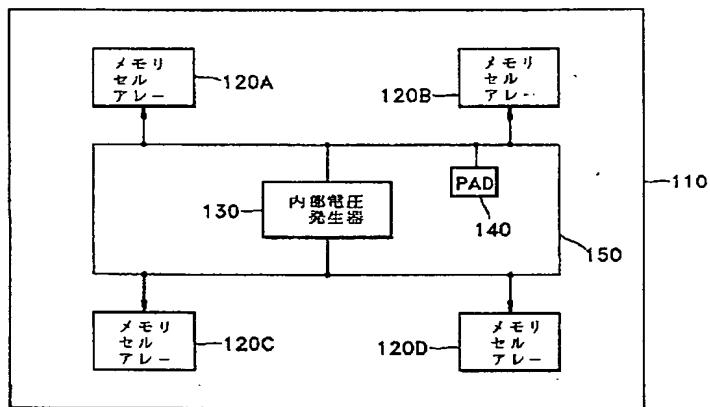
【図3】 本発明の他の実施例による半導体装置の内部電源制御回路及びその関連部分を示す。

【符号の説明】

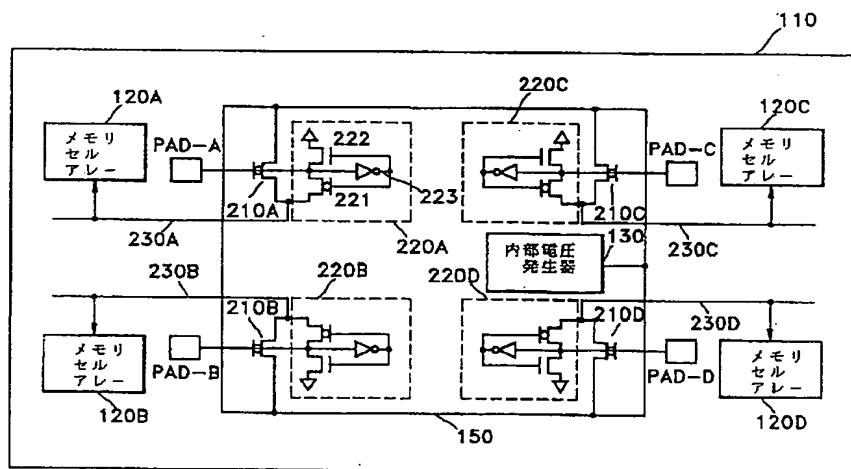
110 半導体装置、120A, 120B, 120C,
120D メモリセルアレー、130 内部電圧発生
器、150 内部電源供給ライン、210A, 210
B, 210C, 210D 内部電源スイッチング素子、
220A, 220B, 220C, 220D 電源供給ス

イッティング部、221 PMOSトランジスタ、222
NMOSトランジスタ、223 インバータ、230
A, 230B, 230C, 230D アレー電源供給ラ
イン、PAD-A, PAD-B, PAD-C, PAD-
D 制御用のパッド

【図1】



【図2】



【図3】

